

WEST**End of Result Set**

Generate Collection

Print

L3: Entry 1 of 1

File: JPAB

Apr 28, 1994

PUB-NO: JP406120510A

DOCUMENT-IDENTIFIER: JP 06120510 A

TITLE: HIGH BREAKDOWN VOLTAGE MISFET AND SEMICONDUCTOR INTEGRATED CIRCUIT

PUBN-DATE: April 28, 1994

INVENTOR-INFORMATION:

NAME

COUNTRY

KITAMURA, AKIO

FUJISHIMA, NAOTO

TADA, HAJIME

ASSIGNEE-INFORMATION:

NAME

COUNTRY

FUJI ELECTRIC CO LTD

APPL-NO: JP04309920

APPL-DATE: November 19, 1992

INT-CL (IPC): H01L 29/784

ABSTRACT:

PURPOSE: To realize the high breakdown voltage MISFET having the high breakdown voltage and high current output capable of being mounted on the same substrate for the logic element such as CMOS, etc., at low breakdown voltage comprising a control circuit.

CONSTITUTION: The high breakdown voltage MOSFET is composed of a longitudinal type MISFET 25 formed on one side of a laterally extending well layer 2 and a drain part 26 formed on the other side of the same 2 while the second base layer 3 is formed on the surface of the well layer 2. Through these procedures, during the off-time of the MOSFET, the depletion layer extending over the part beneath the MOS part 25 and the second base layer 4 brings about JFET effect to realize the high breakdown voltage while during the on-time of the same, the occurrence of hot carrier can be suppressed by the second base layer 4 thereby enabling the high reliability to be realized.

COPYRIGHT: (C)1994, JPO&Japio

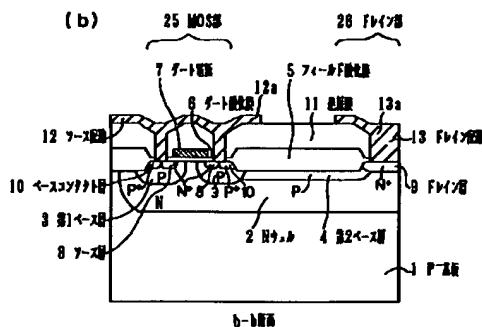
(11)特許出願公開番号

(43)公開日 平成6年(1994)4月28日

3 2 1 X

審査請求 未請求 請求項の数23(全 18 頁)

(74)代理人 弁理士 山田 稔



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板上に形成された第2導電型のウェル領域と、

このウェル領域の一端に形成された1対の第1導電型の第1ベース層、この第1ベース層内に形成された第2導電型のソース層、およびこの1対のソース層に亘って絶縁ゲート膜を介して設置されたゲート電極を具備するMIS部と、

前記ウェル領域の他端に形成された第2導電型のドレイン層を具備するドレイン部とを有する高耐圧MIS電界効果トランジスタであって、

前記MIS部とドレイン部とに亘って前記ウェル領域の表面に第1導電型の第2ベース層を介してフィールド酸化膜が形成されていることを特徴とする高耐圧MIS電界効果トランジスタ。

【請求項2】 請求項1において、前記ドレイン層は、前記ウェル領域と該ドレイン層の端部が接続するように形成されたブレイクダウン型のドレイン層であることを特徴とする高耐圧MIS電界効果トランジスタ。

【請求項3】 請求項1または2において、前記ドレイン層の下方に第1導電型の高濃度埋込層が形成されていることを特徴とする高耐圧MIS電界効果トランジスタ。

【請求項4】 請求項1ないし3のいずれかにおいて、前記MIS部は、前記ソース層およびドレイン層に略30Vの逆バイアス電位が印加されると、前記1対のベース層から前記ウェル領域に空乏層が広がる高耐圧MIS部であることを特徴とする高耐圧MIS電界効果トランジスタ。

【請求項5】 請求項1ないし3のいずれかにおいて、前記ソース層に接続されたソース電極が前記第2ベース層上のフィールド酸化膜上に略5 μ m以上延長されたフィールドプレート型ソース電極であり、前記ドレイン層に接続されたドレイン電極が前記第2ベース層上のフィールド酸化膜上に略5 μ m以上延長されたフィールドプレート型ドレイン電極であることを特徴とする高耐圧MIS電界効果トランジスタ。

【請求項6】 請求項1ないし5のいずれかにおいて、前記第2ベース層の不純物濃度は、前記第1ベース層の不純物濃度に比して低いことを特徴とする高耐圧MIS電界効果トランジスタ。

【請求項7】 請求項1ないし6のいずれかにおいて、前記ドレイン層を中心に前記第2ベース層および前記ソース層が略同心円状に形成されていることを特徴とする高耐圧MIS電界効果トランジスタ。

【請求項8】 請求項7において、前記第2ベース層は、前記ウェル層が前記フィールド酸化膜に対し露出した少なくとも1箇所の露出部分を備えていることを特徴とする高耐圧MIS電界効果トランジスタ。

【請求項9】 第1導電型の半導体基板上に形成された

第2導電型のウェル領域と、

このウェル領域の一端に、第1導電型のベース層、このベース層内に形成された第2導電型のソース層、およびこのソース層から前記ウェル領域に亘って絶縁ゲート膜を介して設置されたゲート電極を具備するMIS部と、前記ウェル領域の他端に形成された第2導電型のドレイン層を具備するドレイン部とを有する高耐圧MIS電界効果トランジスタであって、

前記MIS部とドレイン部とに亘る前記ウェル領域の表面上の少なくとも1部にゲート絶縁膜を介して導電領域が設置されていることを特徴とする高耐圧MIS電界効果トランジスタ。

【請求項10】 請求項9において、前記導電領域はポリシリコン製であることを特徴とする高耐圧MIS電界効果トランジスタ。

【請求項11】 請求項9または10において、前記MIS部とドレイン部とに亘る前記ウェル領域の表面の少なくとも1部に第1導電型のオフセット領域が形成されていることを特徴とする高耐圧MIS電界効果トランジスタ。

【請求項12】 請求項11において、前記オフセット領域の少なくとも1部は、前記ゲート電極の下方に形成されていることを特徴とする高耐圧MIS電界効果トランジスタ。

【請求項13】 請求項11または12において、前記オフセット領域は少なくとも2以上のオフセット島領域を備えていることを特徴とする高耐圧MIS電界効果トランジスタ。

【請求項14】 請求項11ないし13のいずれかにおいて、前記MIS部は、少なくとも1対の前記ベース層およびソース層と、これらのソース層から前記ウェル領域に亘って設置された前記ゲート電極とを備える縦型のMIS部であって、前記ベース層の少なくともいずれかと前記オフセット領域が電気的に接続されていることを特徴とする高耐圧MIS電界効果トランジスタ。

【請求項15】 請求項9ないし14のいずれかにおいて、前記ソース層に接続されたソース電極が、前記ドレイン層に向かって延長されたフィールドプレート型ソース電極であることを特徴とする高耐圧MIS電界効果トランジスタ。

【請求項16】 請求項9ないし15のいずれかにおいて、前記ドレイン層に接続されたドレイン電極が前記MIS部に向かって延長されたフィールドプレート型ドレイン電極であることを特徴とする高耐圧MIS電界効果トランジスタ。

【請求項17】 請求項9ないし16のいずれかにおいて、前記ドレイン層は、前記ウェル領域と該ドレイン層の端部が接続するように形成されたブレイクダウン型のドレイン層であることを特徴とする高耐圧MIS電界効

果トランジスタ。

【請求項18】 請求項9ないし17のいずれかにおいて、前記ドレイン層の下方に第1導電型の高濃度埋込層が形成されていることを特徴とする高耐圧MIS電界効果トランジスタ。

【請求項19】 請求項9ないし18のいずれかにおいて、前記ドレイン層を中心に前記ソース層が略同心円状に形成されていることを特徴とする高耐圧MIS電界効果トランジスタ。

【請求項20】 第1導電型の半導体基板上に形成された第2導電型のウェル領域と、このウェル領域の一端に、第1導電型のベース層、このベース層内に形成された第2導電型のソース層、およびこのソース層から前記ウェル領域に亘って絶縁ゲート膜を介して設置されたゲート電極を具備するMIS部と、前記ウェル領域の他端に形成された第2導電型のドレイン層を具備するドレイン部とを有し前記ドレイン部を中心として前記MIS部が略同心円状に形成された高耐圧MIS電界効果トランジスタであって、前記MIS部とドレイン部とに亘る前記ウェル領域の少なくとも1部は、前記MIS部とドレイン部との距離に基づき所定の耐圧を確保可能な耐圧確保領域であり、この耐圧確保領域の電位を前記ウェル領域に伝達可能な電位伝達手段を有することを特徴とする高耐圧MIS電界効果トランジスタ。

【請求項21】 請求項20において、前記電位伝達手段は、前記耐圧確保領域の電圧が印加されたフィードバックプレートであることを特徴とする高耐圧MIS電界効果トランジスタ。

【請求項22】 請求項1ないし21のいずれかに記載の高耐圧MIS電界効果トランジスタが、論理回路を構成可能なバイポーラトランジスタまたはMIS電界効果トランジスタの少なくともいずれかの構成された基板に形成されていることを特徴とする半導体集積回路装置。

【請求項23】 請求項1ないし21のいずれかに記載の高耐圧MIS電界効果トランジスタが、デジタル回路およびアナログ回路の少なくともいずれかを構成する第1導電型のMIS電界効果トランジスタと同一基板に形成されており、前記ウェル領域と該MIS電界効果トランジスタを構成する第2導電型のウェル層が共通して形成されていることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、MIS電界効果トランジスタの構成に関し、特に、高耐圧を目的としたMIS電界効果トランジスタの構成に関するものであり、さらに、この高耐圧MIS電界効果トランジスタを備えた半導体集積回路装置に関するものである。

【0002】

【従来の技術】 図19および図20に、従来の高耐圧M

IS電界効果トランジスタの構成を示してある。図19に示す高耐圧MIS電界効果トランジスタは、2重拡散方式を用いて製造されたMOSFETであり、ゲート直下の電流が半導体基板内を縦方向に流れるため、縦型DMOSと呼ばれるものである。また、図20に示す高耐圧MIS電界効果トランジスタは、図19と同じく2重拡散方式で製造されたMOSFETであるが電流がゲート直下において半導体基板内を横に流れるため、横型DMOSまたはリサーチ型と呼ばれるものである。

【0003】 図19に示す縦型DMOSはディスクリット素子として有用な構造であり、裏面にドレイン電極13が設置された n^+ 型のドレイン層9に n^- 型のエピタキシャル層（以下、エピ層という）20が形成され、このエピ層20の表面に複数の p 型のベース層3およびその中に形成された n^+ 型のソース層8を備えている。

【0004】 従って、1対となったソース層8からベース層3を介してエピ層20に亘ってゲート電極を設置することにより、縦型の素子が形成される。このため、この縦型DMOSにおいては、逆バイアス電圧が印加されると、空乏層が縦方向に伸び、十分な耐圧を保持するためには、エピ層20の不純物濃度を低くして、厚みを十分確保してやれば良い。

【0005】 一方、図20に示す横型DMOSは、 p^- 型の基板1を用いて形成され、その表面に p 型のベース層3およびこのベース層3内に形成された n^+ 型のソース層8を備え、これと対峙して同じく表面に n^+ 型のドレイン層9を備えている。そして、ドレイン層9とベース層3とは n^- 型のオフセット層18により接続されており、ソース層8からベース層3を介してオフセット層18に亘ってゲート電極7が設置されている。従って、逆バイアス電圧が印加すると空乏層がオフセット層18内を横に伸びるため、耐圧を保持するためには、オフセット層18を長く確保してやれば良い。

【0006】

【発明が解決しようとする課題】 近年、数百V以上の耐圧と、数A程度の高電流出力とを持つパワーMOSFETと、5V程度の低電圧で作動する制御回路部とを1チップ化するパワーICの開発が盛んに行なわれており、特開昭63-314869に開示されているようにスイッチング電源用のICとしては、すでに実現されているものもある。

【0007】 しかし、このようなパワーICを低コストで実現するためには、チップサイズの縮小が不可欠である。従って、パワーICにおいて大きな面積を占めるパワーMOSFET部をいかに小さくするかが重要が問題であり、さらに、このパワーMOSFET部を製造する際に、製造工程が増加するようでは製造コストの削減は不可能である。

【0008】 上述した従来の縦型DMOSにおいては、十分な耐圧を保持するためには、厚みを十分確保する必

要があり、制御回路部を構成するCMOS等の基板の厚みでは十分な耐圧を得ることが困難である。さらに、縦に電流が流れるため、素子分離を考慮する必要がある、埋め込み拡散層の形成や、エピタキシャル成長を必要とするため、工数が増加する。

【0009】一方、横型DMOSにおいては、横方向に空乏層が広がるため、基板の厚みの問題はない。しかし、必要な耐圧を確保するためには、長いオフセット層が必要であり、このオフセット層の断面積の確保が困難なことからオン時において抵抗が増加し易い。また、電

流を横方向に流すため、高電流密度領域において、キャリアが基板表面に形成した酸化膜中に注入してホットキャリアと成りやすく、制御回路部の誤動作等を招くため、デバイスの信頼性を確保することが困難である。

【0010】また、横型DMOSにおいては、ソースとドレイン間に厚さ数千Å程度のフィールド酸化膜が一般に形成されることが多く、この場合は、その両端にあたるいわゆるバースピークと呼ばれる部分にフィールド酸化膜形成時の残留応力が集中し、結晶欠陥が生成され易いという問題もある。さらに、バースピークに窒化物が堆積したいわゆるホワイトトリボンが発生し、これによ

ってゲート酸化膜の耐圧が著しく低下することも考慮されるべきである。そして、フィールド酸化膜とシリコンとの界面には、ゲート酸化膜とシリコンとの界面と比較し、界面電荷量が多いことが知られており、この界面電荷量が多い場合は耐圧特性が劣化するという問題もある。

【0011】そこで、本発明においては、上記の問題点に鑑みて、縦型DMOSおよび横型DMOSの長所を取り入れた、CMOS等の制御回路部を構成する素子と同じ基板上に搭載可能で、信頼性が高く、十分な耐圧を有する高耐圧MIS電界効果トランジスタを実現することを目的としている。

【0012】

【課題を解決するための手段】上記課題を解決するために、本発明においては、縦型のMIS部とこれに続き横方向にドレイン層まで広がったウェル領域とにより高耐圧MIS電界効果トランジスタを構成し、さらに、ウェル領域上に第2のベース領域を設けるようにしている。すなわち、本発明に係る高耐圧MIS電界効果トランジスタは、第1導電型の半導体基板上に形成された第2導電型のウェル領域と、このウェル領域の一端に形成された1対の第1導電型の第1ベース層、この第1ベース層内に形成された第2導電型のソース層、およびこの1対のソース層に亘って絶縁ゲート膜を介して設置されたゲート電極を具備するMIS部と、前記ウェル領域の他端に形成された第2導電型のドレイン層を具備するドレイン部とを有するものであって、さらに、MIS部とドレイン部とに亘ってウェル領域の表面上に第1導電型の第2ベース層を介してフィールド酸化膜が形成されているこ

とを特徴としている。

【0013】さらに、ドレイン層は、ウェル領域とドレイン層の端部が接続するように形成されたブレイクダウン型のドレイン層であることが望ましく、また、ドレイン層の下方に第1導電型の高濃度埋込層を形成することもある。MIS部としては、ソース層およびドレイン層に略30Vの逆バイアス電位が印加されると、1対のベース層からウェル領域に空乏層が広がる高耐圧MIS部を用いることが有効である。ソース層に接続されたソース電極としては、第2ベース層上のフィールド酸化膜上に略5μm以上延長されたフィールドプレート型ソース電極を、また、ドレイン層に接続されたドレイン電極としては、第2ベース層上のフィールド酸化膜上に略5μm以上延長されたフィールドプレート型ドレイン電極を用いることが望ましい。また、第2ベース層の不純物濃度を、第1ベース層の不純物濃度に比して低くすることが有効である。

【0014】さらに、このような高耐圧MIS電界効果トランジスタの平面構造としては、ドレイン層を中心に第2ベース層およびソース層が略同心円状に形成されてものが望ましく、第2ベース層は、ウェル層がフィールド酸化膜に対し露出した少なくとも1箇所の露出部分を備えていても良い。

【0015】また、フィールド酸化膜による影響を積極的に削減し、高耐圧の素子を形成する手段としては、第1導電型の半導体基板上に形成された第2導電型のウェル領域と、このウェル領域の一端に、第1導電型のベース層、このベース層内に形成された第2導電型のソース層、およびこのソース層から前記ウェル領域に亘って絶縁ゲート膜を介して設置されたゲート電極を具備するMIS部と、ウェル領域の他端に形成された第2導電型のドレイン層を具備するドレイン部とを有する高耐圧MIS電界効果トランジスタにおいて、MIS部とドレイン部とに亘るウェル領域の表面上の少なくとも1部にゲート絶縁膜を介して導電領域を設置することが望ましい。プロセス的には、この導電領域はポリシリコンを用いて形成することより容易に導入することが可能である。

【0016】また、MIS部とドレイン部とに亘るウェル領域の表面の少なくとも1部に第1導電型のオフセット領域を形成することもある。オフセット領域の少なくとも1部は、ゲート電極の下部に形成することが望ましい。さらに、ウェル領域を低抵抗化する面では、オフセット領域は少なくとも2以上のオフセット島領域を備えていることが望ましい。

【0017】さらに、少なくとも1対の前記ベース層およびソース層と、これらのソース層から前記ウェル領域に亘って設置された前記ゲート電極とを備える縦型のMIS部を用いて、ベース層の少なくともいずれかとオフセット領域が電気的に接続することもある。そして、これらの高耐圧MIS電界効果トランジスタに対し

でソース層に接続されたソース電極を、ドレイン層に向かって延長されたフィールドプレート型ソース電極とするか、またドレイン層に接続されたドレイン電極をMIS部に向かって延長されたフィールドプレート型ドレイン電極とすることも有効である。また、これらの高耐圧MIS電界効果トランジスタに対して、上記の同様にブレイクダウン型のドレイン層、第1導電型の高濃度埋込層を適用することも可能である。そして、ドレイン層を中心にソース層を略同心円状に形成することも有効である。

【0018】さらに、第1導電型の半導体基板上に形成された第2導電型のウェル領域と、このウェル領域の一端に、第1導電型のベース層、このベース層内に形成された第2導電型のソース層、およびこのソース層からウェル領域に亘って絶縁ゲート膜を介して設置されたゲート電極を具備するMIS部と、ウェル領域の他端に形成された第2導電型のドレイン層を具備するドレイン部とを有し、ドレイン部を中心としてMIS部が略同心円状に形成された高耐圧MIS電界効果トランジスタであって、MIS部とドレイン部とに亘るウェル領域の少なくとも1部は、MIS部とドレイン部との距離に基づき所定の耐圧を確保可能な耐圧確保領域であり、この耐圧確保領域の電位をウェル領域に伝達可能な電位伝達手段を設ける高耐圧MIS電界効果トランジスタを採用することも有効である。この電位伝達手段としては、耐圧確保領域の電圧が印加されたフィールドプレートを用いることが望ましい。

【0019】また、上記の高耐圧MIS電界効果トランジスタが、論理回路を構成可能なバイポーラトランジスタまたはMIS電界効果トランジスタの少なくともいずれかの構成された基板に形成されていることを特徴とする半導体集積回路装置も含む。さらに、デジタル回路およびアナログ回路の少なくともいずれかを構成する第1導電型のMIS電界効果トランジスタと同一基板に形成された場合は、高耐圧MIS電界効果トランジスタのウェル領域とMIS電界効果トランジスタを構成する第2導電型のウェル層が共通していても良い。

【0020】

【作用】上記のような高耐圧MIS電界効果トランジスタにおいては、逆バイアス電圧が印加されると、まず、縦型のMIS部において、1対の第1ベース層と基板とからウェル領域に向かって空乏層が伸び、この間の電流経路がJFET効果にて遮断される。さらに、高耐圧化するために、横型DMOSと同様にウェル領域内に横方向に空乏層の広がる領域が確保される。従って、この高耐圧MIS電界効果トランジスタは、横型DMOSと同じく、2重拡散を用いて、小形で横方向に薄い素子として形成可能であり、CMOS等の制御回路部を構成する半導体素子の基板の同一基板内に形成することができ

【0021】そして、このウェル領域内において、下部の基板および上部の第2ベース層から空乏層が伸びるため、このウェル領域内においてもJFET効果により電流経路が遮断される。従って、ウェル領域の横方向の長さに対して高い耐圧性を維持でき、横型DMOSにおいてオン抵抗の増加が問題となる程ウェル領域の長さを確保する必要はない。なお基板の不純物濃度が低いため、第2ベース層の不純物濃度を第1ベース層よりも低くして空乏層の広がりを均一化すると、この領域でのJFET効果が効率良く得られる。

【0022】さらに、オン時において電流経路となるウェル領域の表面には、第2ベース層が形成されているので、フィールド酸化膜内のホットエレクトロンの発生も抑制され、信頼性の向上が図られる。また、フィールド酸化膜のバースピークの影響、界面電荷量の影響も抑制される。

【0023】ウェル領域とドレイン層の端部が接続するように形成されたブレイクダウン型のドレイン層を採用する場合は、ウェル領域とドレイン層の接続部に電界が集中するため、ブレイクダウンのポイントをドレイン側に設定することができ、ゲートおよびソース側、すなわち、MIS部の耐圧性、耐サージ性および信頼性が向上される。従って、制御回路部への影響が大きいMIS部の信頼性が確保できることから、この高耐圧MIS電界効果トランジスタを用いた集積回路装置の信頼性の向上を図ることができる。また、ドレイン層の下方に第1導電型の高濃度埋込層を形成しても、ドレイン層側で電界の集中するポイントが形成されるため、ブレイクダウンのポイントをドレイン側に設定でき、上記と同じ効果が得られる。

【0024】一方、ソース電極としてフィールドプレート型ソース電極を、また、ドレイン電極とフィールドプレート型ドレイン電極を用いることにより、それぞれの層の端部に集中し易い電界を緩和でき、本高耐圧MIS電界効果トランジスタの耐圧をさらに向上させることが可能である。

【0025】このような高耐圧MIS電界効果トランジスタの平面構造として略同心円状の構造を採用する場合、各層の端部の処理が不要となり、工程的にも、設計的にも容易化が図られる。また、ウェル領域が第2ベース層から露出した部分を形成すると、電流経路の断面積を増加できるため、オン抵抗の低下を図ることができる。一方、逆バイアス電圧が印加される際は、第2ベース層から露出部分へも空乏層が広がるため、ピンチオフされ、耐圧の低下はほとんどない。

【0026】また、フィールド酸化膜に代わりMIS部とドレイン部とに亘るウェル領域の表面上の少なくとも1部にゲート絶縁膜を介して導電領域を設置することにより、製造時のイオンの可動を抑制することが可能となり、さらに、この導電領域の上部にフィールド酸化膜が

積層される場合であっても、フィールド酸化膜中のイオンがゲート酸化膜中へ拡散することを防止することができる。また、シリコンの表面上にバースピークが形成されないため、結晶欠陥、ホワイトリボンの発生も抑制可能である。従って、ウェル領域表面のリーク電流の発生が抑制され、高耐压のMIS電界効果トランジスタとすることができる。

【0027】また、第1導電型のオフセット領域を形成することにより、このオフセット領域とウェル領域とのPN接合部分から空乏層が伸び、上記と同様にJFET効果を得ることが可能となる。従って、ピンチオフの形成が容易となるので、ウェル領域の濃度を高く設定することができ、高耐压で低抵抗のMIS電界効果トランジスタをすることが可能となる。そして、オフセット領域の少なくとも1部を、ゲート電極の下部に形成する場合は、ゲート電極直下の電界緩和が図られ、さらに耐压の向上を図ることが可能である。また、島状のオフセット島領域を設けると、ウェル領域において不純物濃度の高いウェル領域の表面の比率の増加を図ることが可能であり、ウェル領域を低抵抗化し、高耐压、低抵抗のMIS電界効果トランジスタを実現することができる。

【0028】また、縦型のMIS部を導入することも可能であり、これらのベース層の少なくともいずれかとオフセット領域を電氣的に接続することにより、積極的にオフセット層の電位を制御して、JFET効果を得、高耐压のMIS電界効果トランジスタとすることもできる。さらに、フィールドプレート型ソース電極、あるいはフィールドプレート型ドレイン電極を導入することにより、ソース層、あるいはドレイン層回りの電界集中を緩和し、さらに高い耐压特性を得ることもできる。

【0029】また、ウェル領域の表面電位を積極的に制御することによって、より短い距離で所定の耐压特性を得、導通時には低抵抗とすることも可能である。すなわち、ウェル領域の一部に所定の耐压性能がソース層とドレイン層との距離に基づき得ることが可能な耐压確保領域を設け、この耐压確保領域の電位をその他のウェル領域の表面に印加することにより、その他のウェル領域の電界分布を制御でき、ソース層とドレイン層との距離が短くとも耐压確保領域と同様の耐压特性を得ることができる。一方、導通時は、耐压確保領域以外のその他のウェル領域においては、ソース層とドレイン層との距離が短いため、抵抗を低くすることができる。従って、高耐压、低抵抗のMIS電界効果トランジスタを実現することができる。

【0030】上記のような高耐压MIS電界効果トランジスタは、論理回路を構成可能なバイポーラトランジスタまたはMIS電界効果トランジスタと同じ基板内に形成することが可能であり、高耐压のスイッチング特性と、高い信頼性の制御回路部とを1つの基板で実現することができる。さらに、高耐压MIS電界効果トランジ

スタのウェル領域と、制御回路を構成するMIS電界効果トランジスタの第2導電型のウェル層を共通して形成することができるため、さらに、工程的なメリットを得ることもできる。

【0031】

【実施例】以下に図面を参照して、本発明の実施例を説明する。

【0032】〔実施例1〕図1に本発明の実施例1に係る高耐压MOSFETの平面構造および断面構造を示してある。まず、図1(b)に示す断面図に基づき本高耐压MOSFETの構造を説明する。80Ω・cm程度のp⁻型シリコン基板1の表面に、表面の不純物濃度が2×10¹⁶cm⁻³程度で深さが6μm程度のn型のウェル層2が形成されている。ウェル層2の内部には、さらに、左側にMOS部25が、また、右側にドレイン部26が形成されている。MOS部25には、チャンネル形成層となる1対でp型の第1ベース層3が形成されており、その表面濃度は1×10¹⁷cm⁻³程度で、深さは1.5μm程度である。第1ベース層3の内部にはさらにn⁺型のソース層8とp⁺型のベースコンタクト層10がそれぞれ形成されており、1対であるソース層8同士に、第1ベース層3とウェル層2に亘って厚さ数百Åのゲート酸化膜6を介したゲート電極7が設置されている。さらに、ソース層8およびベースコンタクト層10にはソース配線12が接続されており、このソース配線12は後述するドレイン層9の方に向かって絶縁膜11上に5μm以上突き出たフィールドプレート部12aを備えている。従って、MOS部25においては、ソース層8と第1ベース層3とが2重拡散構造になっており、従来の縦型DMOSのチャンネル部と同じ構造となっている。また、ソース層8端部の電界が緩和され高耐压構造となっている。

【0033】一方、ウェル層2の右側に形成されるドレイン部26においては、ウェル層2の表面にn⁺型のドレイン層9が形成されており、このドレイン層9にドレイン配線13が接続されている。このドレイン配線13のMOS部25の側は、ソース配線12と同様に絶縁膜11の上に突き出たフィールドプレート部13aとなっている。従って、ドレイン層9のソース層8側の端部の電界は緩和され、高耐压の構造となっている。

【0034】本高耐压MOSFETにおいては、さらに、ウェル層2の表面に第1ベース層3とドレイン層9に亘ってp型の第2ベース層4が形成されている。この第2ベース層4は、表面濃度が5×10¹⁶cm⁻³程度で、深さが1μm程度である。そして、この第2ベース層4が厚さ約1μm程度のフィールド酸化膜5によって覆われ、さらに、これらの上に絶縁膜11が形成されている。

【0035】このような構造の高耐压MOSFETの平面構造は、図1(a)に示すように、同心円状の構造で

あり、ドレイン層9を中心として、その外側に第2ベース層4、第1ベース層3、ソース層8、ゲート電極7が順次形成されている。このような同心円状の構造を採用すると、チャンネルの幅方向、すなわち、ソース層およびゲート電極に沿った方向の各層の端部を処理する必要はなく、設計が容易であり、同時に、製造過程における端部の処理工程の削減を図ることも可能となる。

【0036】次に、図2および図3の断面図に基づき、本高耐圧MOSFETの動作を説明する。図2は、オン時の電子の流れ27を示している。上記の構造のMOSFETにおいては、閾値電圧は略1Vであり、あるドレイン電圧下においてゲート電極7に略5Vを印加すると、第1ベース層3の表面が反転して流れ27に示すようにキャリアである電子がウェル層2に流れ出す。これらの電子は典型的な縦型DMOSと同様にまず下向きに流れ出し、次にウェル層2に沿って横向きの流れとなる。そして、ドレイン層9に達し吸収される。本例において着目すべき点の1つは、この電子の流れる経路が第1ベース層3および第2ベース層4に覆われていることであって、このため、キャリアである電子が酸化膜5に接することはない。従って、大電流を流した場合であっても、電子がフィールド酸化膜5に注入されてホットエレクトロン化することはない、他の論理回路に影響を与えることはない。

【0037】図3は、オフ時の様子を示してある。ゲート電極7、ソース層8、第1ベース層3、第2ベース層4、さらに基板1を低電圧として、ドレイン層9を高電圧とすると、逆バイアス電圧が印加された状態となる。この場合、図3に一点鎖線で示すように第1ベース層3、第2ベース層4、さらに基板1とウェル層2とのPN接合に空乏層28が広がり、電界がかかる。従って、まず、第1ベース層3と基板1から広がる空乏層28を考慮すると、ゲート電極7の下方のウェル層2の内部がピンチオフ29aし、JFETと同様に電子の流れる経路が遮断される。

【0038】さらに、第2ベース層4と基板1から広がる空乏層28を考慮すると、第2ベース層4下のウェル層2の内部がピンチオフ29bし、ここにおいても、JFETと同様に電子の流れる経路が遮断される。従って、逆バイアス電圧が印加されるとウェル層2の内部にてJFET効果により電流経路が遮断されるため、従来の横型DMOSで耐圧を保持するために必要であった長く、低濃度のオフセット層とする必要がなく、ウェル層2の濃度を比較的高く設定することが可能となる。

【0039】すなわち、上記の2つのJFETにより電界が緩和されるため、本例の高耐圧MOSFETでは、高耐圧と低オン抵抗化による高電流出力の両立を図ることが可能となる。なお、第2ベース層4の下のJFET効果を効率良く得るためには、ピンチオフのバランスを保持する必要があり、第2ベース層4の不純物濃度を第

1ベース層3のそれより若干低く設定することが望ましい。

【0040】このように、本例の高耐圧MOSFETは、従来の横型DMOSと同様に横方向に耐圧区間を形成することできるため、基板の厚さをそれ程必要とせず、制御回路等を形成するCMOS、バイポーラトランジスタ等の基板と同程度の厚さで十分な耐圧をえることができる。そして、横型DMOSで問題であったオン抵抗の増加、および、ホットエレクトロンの発生という課題も解決できる。従って、図4および図5に示すように、低耐圧の制御回路部30と上記の構成の高耐圧MOSFET部31とを同一基板上に形成することが可能となる。

【0041】図4は、p型ウェル16に形成されたnチャンネル型MOSと、n型ウェル17に形成されたpチャンネル型MOSとからなるCMOSにより低耐圧制御回路部30が形成され、これと上述した高耐圧MOSFET31が1チップ化された半導体集積回路装置の断面を示している。勿論、CMOSではなく、バイポーラトランジスタあるいはBiCMOSにて低耐圧制御回路部30を構成することも可能である。

【0042】図5は、同じく、CMOSにより低耐圧制御回路部30が構成され、高耐圧MOSFET31と1チップ化された半導体集積回路装置の断面を示しているが、本回路装置においては、n型ウェル17と高耐圧MOSFET31を構成するウェル層2が同時に形成されたものである。このように、本例の高耐圧MOSFET31を用いて1チップ化した半導体集積回路装置においては、高耐圧用のウェルと、低耐圧の制御回路部のウェルとを同時に形成することができ、チップの製造工程を短縮することが可能である。

【0043】〔実施例2〕図6に本発明の実施例2に係る高耐圧MOSFETの平面構造(図6(a))および断面構造(図6(b))を示してある。本例も図1の実施例1に係る高耐圧MOSFETと同様にウェル層2、MOS部25、ドレイン部26を備えており、構造および動作はほとんど同じである。従って、共通する部分においては、同じ符号を付して説明を省略する。本実施例において着目すべき点は、まず、断面構造(図6

(b))においては、ウェル層2がドレイン層9の直下にはないことである。また、平面構造(図6(a))においては、第2ベース層4に、ウェル層2が露出した露出部分36が複数形成されていることである。

【0044】断面構造に着目すると、本例においては、ウェル層2がドレイン層9直下ではなく、ウェル層2とドレイン層9とはドレイン層9のソース層8側の端部において接続されている。従って、ウェル層2のドレイン層9側近傍において電界が集中し易くなるため、ブレイクダウンポイント35がドレイン層9直下に形成される。従って、ゲート電極7およびソース層8、すなわ

13

ち、MOS部25の耐圧特性は向上され、耐電圧はもちろん、サージに対しても強い構造となる。従来のDMOSの構成では、ゲート電極7とソース層8との耐圧を保持することが困難であったが、本例のように、ドレイン層9側にブレイクダウンポイント35を設定することにより、MOS部25は略30V以上のソース・ドレイン逆バイアス電圧が印加された際でも空乏層が広がり、高耐圧を維持することができる。従って、同一基板上に形成されると、制御側に影響を及ぼし易いMOS部25の信頼性を向上することも可能となり、CMOS等で構成される低耐圧の制御回路と同一基板上に形成し易い高耐圧のMOSFETを実現することができる。

【0045】平面構造に着目すると、第2ベース層4にウェル層2がはみ出した領域、すなわち、ウェル層2がフィールド酸化膜5に露出した領域36が形成されている。

【0046】これにより、導通時のウェル領域2の断面積が増加されるため、オン抵抗をさらに低減でき、高電流出力化を図ることができる。一方、逆バイアス電圧が印加された場合は、露出部分36を挟む第2ベース層4から空乏層が広がり、実施例1と略同様にJEFT効果を得ることができるので、耐圧特性の劣化は少ない。

【0047】〔実施例3〕図7に本発明の実施例3に係る高耐圧MOSFETの平面構造(図7(a))および断面構造(図7(b))を示してある。本例も図1の実施例1に係る高耐圧MOSFETと同様にウェル層2、MOS部25、ドレイン部26を備えており、構造および動作はほとんど同じである。従って、共通する部分においては、同じ符号を付して説明を省略する。本実施例において着目すべき点は、断面構造(図7(b))において、ドレイン層9の直下の下方に p^+ 型の埋め込み層14が形成されていることである。また、この埋め込み層14を形成するために、基板1の上部には、 p^- 型のエピタキシャル成長層15が形成される。本例においては、埋め込み層14の上部に電界が集中することとなるため、ドレイン層9の直下がブレイクダウンポイントとなる。従って、実施例2と同様にMOS部25の耐圧特性が向上でき、耐電圧およびサージに対しても強い構造が実現できる。

【0048】〔実施例4〕図8に、本実施例に係る高耐圧MOSFETの断面構造を示してある。本例の高耐圧MOSFETは、 $80\Omega\cdot\text{cm}$ 程度の p^- 型のシリコン基板1に表面濃度 $2\times 10^{16}\text{cm}^{-3}$ 程度で、深さが $6\mu\text{m}$ 程度の n 型のウェル層2が形成されている。このウェル層2の内側の表面に、さらに、表面濃度が $1\times 10^{17}\text{cm}^{-3}$ 程度の p 型のベース層3、およびこのベース層3の内側の表面に n 型のソース層8が形成されている。そして、ウェル層2の表面は略全体に亘って厚さ数百Åのゲート酸化膜6によって覆われ、さらに、このゲート酸化膜6を介してソース層8の端からベース層3の表面を通

14

ってウェル層2の表面にポリシリコン製のゲート電極7が設置されている。ここで、ベース層3とソース層8は二重拡散構造であり、ゲート電極7の下には、ゲート電極7に印加される電圧によってチャンネルが形成されるMOS部25となっている。

【0049】ウェル層2の内部で、MOS部25と対峙する表面に、さらに、 n 型のドレイン層9が形成されており、ドレイン部26が構成されている。なお、MOS部25には、ソース配線12が接続され、ドレイン部26にはドレイン配線13が接続されている。

【0050】そして、本例のMOSFETにおいて着目すべき点は、MOS部25とドレイン部26にわたり、ウェル層2の表面にゲート酸化膜6を介してポリシリコン層41が形成されていることである。このポリシリコン層41は導電体であり、製造時にイオンが動いてゲート酸化膜に堆積することを防止できる。同時に、このポリシリコン層41を導入することにより、LOCOS等のフィールド酸化膜がシリコン表面に形成されることがなく、パズピークにおける結晶欠陥、ホワイトリボンの影響を遮断することが可能となる。

【0051】このような本例のMOSFETに逆バイアスが印加されると、空乏層は p 型のベース層3とウェル層2とのPN接合部、およびシリコン基板1とウェル層2とのPN接合部から広がる。そして、ウェル層2とシリコン基板1の不純物濃度が低いことから、これらの領域に空乏層は多く広がる。数百V以上の逆バイアスが印加されると、空乏層はポリシリコン層41の直下に広がり、ポリシリコン層41の直下に電位分布が生ずる。従って、ポリシリコン層41の直下のウェル層2の表面に積層欠陥が多く、あるいは、界面電荷が多いと、リーク電流が生じ、耐圧特性が劣化する。しかし、本例においては、まず、パズピークが生成されていないことから結晶欠陥、すなわち、積層欠陥の量は少なく、また、ポリシリコン層41によって製造時におけるイオンの移動が妨げられていることから界面電荷の量も少ない。従って、リーク電流の発生は抑制され、高耐圧のMOSFETとすることができる。さらに、ポリシリコン層41によって、その上部に積層された絶縁膜11からゲート酸化膜6へのイオンの拡散も抑制され、界面電荷の増加は少なく、この面からも高耐圧化が図られている。

【0052】なお、本例の高耐圧MOSFETの平面構造は、上述した実施例と同様に、ドレイン部26を中心に略同心円状に構成することができる。また、実施例2あるいは3と略同様のドレイン部を採用してさらに高耐圧化を図ることも勿論可能である。

【0053】〔実施例5〕図9および図10に、実施例5に係る高耐圧MOSFETの断面構造を示してある。本例のMOSFETの構造の殆どは、実施例4と同様につき、共通する部分については、同じ符号を付して説明を省略する。本例の高耐圧MOSFETにおいて着目す

15

べき点は、ウェル層2の表面で、MOS部25とドレイン部26との間に表面濃度が $9 \times 10^{16} \text{ cm}^{-3}$ 程度のp型のオフセット層42が形成されていることである。

【0054】まず、図9に示す高耐圧MOSFETにおいては、ポリシリコン層41の下部領域にオフセット層42が形成されている。従って、このMOSFETに逆バイアスが印加されると、ベース層3とウェル層2とのPN接合部、およびシリコン基板1とウェル層2とのPN接合部に加え、オフセット層42とウェル層2とのPN接合部からも空乏層が伸びる。特に、一度オフセット層42に何れかから伸びた空乏層が接触し、オフセット層42の電位が固定されると、オフセット層42全体から低濃度のウェル層2に向かって空乏層が伸びる。従って、ウェル層2は、オフセット層42および基板1から2つの空乏層によってピンチオフし易い状態、すなわち、JFETと同様に電流経路を遮断でき、高耐圧とすることができる。このため、ウェル層2としては、不純物濃度を上げて所定の耐圧を得ることが可能となるので、不純物濃度を上げて導通時の低抵抗化を図ることが可能となる。このように、本例に係るMOSFETは、高耐圧であると同時に低抵抗化を図ることが可能なものである。もちろん、実施例4と同様に、ウェル層表面にリーク電流の発生は少なく、この面においても同様に高耐圧なMOSFETである。

【0055】また、図10に示すMOSFETにおいては、オフセット層42がポリシリコン製のゲート電極7直下まで延長されている。従って、ゲート電極7直下に発生する電界集中を緩和することが可能であり、さらに耐圧特性を高くすることが可能となる。

【0056】なお、ポリシリコン層41に所定の電位を印加することにより、オフセット層42の電位を積極的に制御し、ピンチオフの発生するバイアス電圧を制御することももちろん可能である。

【0057】〔実施例6〕図11に、本実施例に係る高耐圧MOSFETの断面構成を示してある。本例のMOSFETの構成は、実施例4に示したMOSFETと略同様であるので、共通する部分については同じ符号を付して説明を省略する。本例のMOSFETにおいて着目すべき点は、実施例5と同様にp型のオフセット層がウェル層2の表面に形成されていることであり、さらに、このオフセット層が島状に分離された3つの島状オフセット層42.1~42.3によって構成されていることである。本例の島状オフセット層42.1~42.3は、実施例5のオフセット層と同様にp型の拡散層であり、逆バイアス時においてこれらのオフセット層42.1~42.3から伸びた空乏層がピンチオフする点で、実施例5に係るMOSFETと同様に、高耐圧のMOSFETである。

【0058】さらに、本例にMOSFETにおいては、オフセット層42.1~42.3が島状に分離されてい

16

ることからそれぞれのオフセット層42.1~42.3の間にウェル層2の表面が存在していることが特徴となる。すなわち、例えば、ウェル層2がイオン注入後に熱拡散によって形成される場合は、不純物濃度はウェル層2の表面が最も高くなる。従って、オフセット層を島状とすることにより、この濃度の高い表面を残すことができるので、ウェル層2の不純物濃度は全体として高く、このため、ウェル層2の抵抗値が減少する。このように、オフセット層を島状オフセット層42.1~42.3によって構成することにより、高耐圧でさらに低抵抗のMOSFETを形成することが可能である。イオン注入によらずにウェル層2を形成する場合、例えば、エピタキシャル成長を用いた場合であっても、ドーパされたリンは表面にパイルアップするため、やはりウェル層2の表面を残すことにより高濃度化を図ることができる。このように、本例にMOSFETにおいては、実施例5において説明したようにJFET効果の導入によって低抵抗化が図られるのに加えてさらに、不純物の濃度を高くすることができ、高耐圧低抵抗のMOSFETを実現することができる。また、逆バイアス電圧が印加されると、これらの島状オフセット層42.1~42.3から相互に空乏層が伸び、オフセット層42.1~42.3の間のウェル層2には空乏層が広がり、耐圧を確保することが可能となる。また、ウェル層2の表面には実施例4と同様に積層欠陥、界面電荷が少ないため、リーク電流の発生は非常に少ない。

【0059】なお、本例においては3つの島状オフセット層42.1~42.3を用いているが、3つではなく、2つ、あるいは4以上であってももちろん良い。また、ポリシリコン層41によって、これらの島状オフセット層42.1~42.3の電圧を積極的に制御することも可能である。

【0060】〔実施例7〕図12に、実施例7に係る高耐圧MOSFETの断面構成を示してある。本例のMOSFETの構成も、実施例4に示したMOSFETと略同様である。従って、共通する部分については、同じ符号を付して説明を省略する。さらに、本例のMOSFETにおいて着目すべき点は、MOS部25が、実施例1と同様に、1対のベース層3およびソース層8が形成された縦型のMOS部となっていることである。従って、実施例1と同様に、逆バイアスが印加されると、先ず縦型MOS部25においてピンチオフとなり、電流経路が遮断される。また、ゲート電極7の両端部直下にソース層4が存在していることから、ゲート電極7の端部の電界緩和が図られており、高耐圧である。

【0061】さらに、本例もMOSFETにおいては、これも実施例1と同様に、オフセット層42が縦型MOS部25の一方のベース層3と一体となっている。このため、オフセット層42の電位は、ソース電位に制御され、オフセット層42の下部においてもピンチオフが形

17

成され、高耐圧とすることができる。また、逆バイアス時のブレークダウンポイントをドレイン部26側に設定することも可能となり、実施例2あるいは実施例3と同様のドレイン構造を採用することにより、さらに、耐圧特性を上昇させることが可能である。

〔実施例8〕図13ないし図16に、実施例8に係る高耐圧MOSFETの断面構成を示してある。本例のMOSFETは、実施例4ないし7において説明した構成のMOSFETに係るものであり、共通する部分については同じ符号を付して説明を省略する。これらの本例のMOSFETにおいては、すべてソース配線12、あるいはドレイン配線13を構成するA1配線が、ソース配線12においてはドレイン部26側に延長されフィールドプレート12aが形成され、また、ドレイン配線13においてはMOS部25側に延長されフィールドプレート13aが形成されている。従って、本例に係るMOSFETにおいて、ソース層8近傍、およびドレイン層9近傍の最も電界が集中し易い部分の電界集中が緩和されており、耐圧破壊が防止された、すなわち、高耐圧のMOSFETが実現されている。もちろん、ソース配線12、あるいはドレイン配線13のみにフィールドプレートが形成されて場合であっても、それぞれの層近傍の電界集中が緩和されるので、高耐圧化を図ることが可能である。

【0062】〔実施例9〕図17および図18に、本実施例に係る高耐圧MOSFETの平面構成および断面構成を示してある。本例のMOSFETは、実施例7と同様に、MOS部25は縦型のMOS部であり、オフセット層42の電位はMOS部25側においてソース電位に固定されている。従って、実施例7と共通する部分については、同じ符号を付して説明を省略する。

【0063】本例のMOSFETにおいて着目すべき点は、オフセット層42の電位を5枚のフィールドプレート45.1~45.5によって積極的に制御していることである。すなわち、本例のMOSFETにおいては図17にて判るように、ドレイン部26を中心として略同心円状にMOS部25が配置されているが、その同心円に対しドレイン部26の位置が偏っている。従って、ドレイン部26とMOS部25の距離が場所によって異なっている。断面XVIII aに示す箇所は、最もドレイン部26とMOS部25との距離が遠い部分であり、この部分はその間のウェル層2によって所定の耐圧性能が維持されている。一方、例えば、断面XVIII aに対峙する断面XVIII bはドレイン部26とMOS部25との距離は非常に短く、この間のウェル層2の距離に基づいては耐圧性能を維持することはできない。

【0064】しかし、本例のMOSFETにおいては、断面XVIII aに示すオフセット層42の5箇所の電位がフィールドプレートコンタクト46.1~46.5を介してフィールドプレート45.1~45.5に伝えら

18

れる。このフィールドプレート45.1~45.5は、ドレイン部26の回りに同心円状に設置されているので、断面XVIII bにおいても、フィールドプレート45.1~45.5直下のオフセット層42の電位は、LOCOS47を介して個々のフィールドプレート45.1~45.5の電位、すなわち、断面XVIII aと同様の電位に制御される。その結果、距離の短い断面XVII I bにおいても、所定の耐圧を維持可能なようにMOS部25とドレイン部26との間の電位分布が制御されることとなる。従って、距離は短くとも断面XVIII aと同様の耐圧性能を発揮することが可能である。このように、本例にMOSFETは、複数のフィールドプレートを用いて所定の耐圧の維持が可能なウェル層2の電位を、他のウェル層2に印加し、そのウェル層の電位を制御することにより、より距離の短いウェル層2であっても所定の耐圧性能を確保できるようにしている。従って、高耐圧でありながら、デバイス周期を縮小でき、高集積化が可能で、さらに、導通時にはソース層とドレイン層との距離が短くできることから低抵抗であるMOSFETを実現することができる。

【0065】なお、本例においては5枚のフィールドプレートを用いて電位の伝達を図っているが、5枚である必要はなく、所定の耐圧性能が発揮できれば、1枚、あるいは2以上のフィールドプレートを用いて同様に高耐圧化、高集積化、さらに低抵抗化が可能で、論理素子と同じ基板に搭載可能なスイッチング素子を実現することができる。

【0066】

【発明の効果】以上に説明したように、本発明においては、逆バイアス電圧が印加されると、縦型のMIS部と横型DMOSと同様に延びたウェル領域内に空乏層の広がり、JFET効果により高耐圧を保持することが可能となる。従って、ウェル領域の横方向の長さに対して高い耐圧性を維持できるため、横型DMOSのオン抵抗の増加が問題となる程ウェル領域の長さを確保する必要はなく、不純物濃度の低下を図る必要もない。このように、本発明の高耐圧MIS電界効果トランジスタにおいては、高耐圧でありながら高電流出力を実現できる。そして、構造的には、横型DMOSと略同様であるため、CMOS等の制御回路を構成する素子と同一の基板に作り込むことが可能であり、工程的にもCMOS等の制御回路の素子を形成する工程と殆ど変わりはない。

【0067】さらに、本発明に係る高耐圧MIS電界効果トランジスタにおいては、電流経路となるウェル領域の表面に第2ベース層が形成されているため、キャリアは表面近傍を流れることはなく、ホットキャリア等の問題も解消されている。従って、制御回路と同一基板に形成した場合であっても、デバイスの信頼性の向上を図ることが可能である。

【0068】また、フィールド酸化膜に代わりMIS部

とドレイン部とに亘るウェル領域の表面上の少なくとも1部にゲート絶縁膜を介して導電領域を設置することより、フィールド酸化膜による耐圧特性への影響、例えば、バースピークによる結晶欠陥、ホワイトリボンの発生、また、界面電荷の上昇等を抑制することが可能であり高い耐圧特性を得ることができる。さらに、オフセット領域の形成、島状のオフセット島領域の形成によって、高耐圧化と同時に低抵抗化も図ることができ、高耐圧、高出力のMIS電界効果トランジスタを実現することができる。

【0069】また、フィールドプレートを用いてウェル領域の表面電位を積極的に制御し、より短い距離で所定の耐圧特性を得、導通時には低抵抗とし、さらにデバイス周期の短縮、すなわち、高集積化を図ることも可能である。

【0070】このように、本発明に係る高耐圧MIS電界効果トランジスタは、薄く、小形であって、制御回路等の低耐圧素子と同じ基板に構成可能なものであり、高耐圧さらに低抵抗、高電流出力を実現でき、また高集積化も実現できるものである。

【0071】そして、製造過程においては、特に、新たな工程を必要としないため、製造コストを抑制でき、さらに、CMOSあるいはBiCMOS等と1チップ化して製造されてデバイスにおいても十分な信頼性を確保することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施例1に係る高耐圧MOSFETの構造を示す平面図(a)、および断面図(b)である。

【図2】図1に示す高耐圧MOSFETのオン時のキャリアの流れを示す説明図である。

【図3】図1に示す高耐圧MOSFETのオフ時の状態を示す説明図である。

【図4】図1に示す高耐圧MOSFETと制御回路を構成するCMOSとが同一基板に形成された半導体集積回路装置の構成を示す断面図である。

【図5】図4と同様に半導体集積回路装置の構成であって、CMOSと高耐圧MOSFETのウェル領域が共通のものの断面図である。

【図6】本発明の実施例2に係る高耐圧MOSFETの構造を示す平面図(a)、および断面図(b)である。

【図7】本発明の実施例3に係る高耐圧MOSFETの構造を示す平面図(a)、および断面図(b)である。

【図8】本発明の実施例4に係る高耐圧MOSFETの構造を示す断面図である。

【図9】本発明の実施例5に係る高耐圧MOSFETの構造を示す断面図である。

【図10】実施例5に係る他の例としての高耐圧MOSFETの構造を示す断面図である。

【図11】実施例6に係る高耐圧MOSFETの構造を示す断面図である。

【図12】実施例7に係る高耐圧MOSFETの構造を示す断面図である。

【図13】実施例4に係る高耐圧MOSFETに実施例8を適用した構造を示す断面図である。

【図14】実施例5に係る高耐圧MOSFETに実施例8を適用した構造を示す断面図である。

【図15】実施例6に係る高耐圧MOSFETに実施例8を適用した構造を示す断面図である。

【図16】実施例7に係る高耐圧MOSFETに実施例8を適用した構造を示す断面図である。

【図17】実施例9に係る高耐圧MOSFETの平面構成を示す平面図である。

【図18】実施例9に係る高耐圧MOSFETの断面構成を示す断面図である。

【図19】従来の縦型DMOSの構成を示す断面図である。

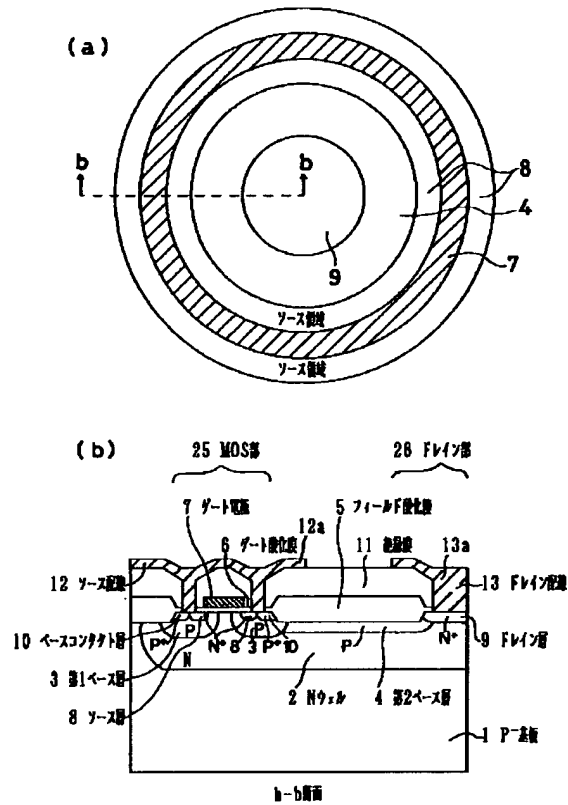
【図20】従来の横型DMOSの構成を示す断面図である。

【符号の説明】

- 1・・・p⁻型の半導体基板
- 2・・・n型のウェル層
- 3・・・p型の第1ベース層
- 4・・・p型の第2ベース層
- 5・・・フィールド酸化膜
- 6・・・ゲート酸化膜
- 7・・・ゲート電極
- 8・・・n⁺型のソース層
- 9・・・n⁺型のドレイン層
- 10・・・p⁺型のベースコンタクト層
- 11・・・絶縁膜
- 12・・・ソース配線
- 12a・・・フィールドプレート部
- 13・・・ドレイン配線
- 13a・・・フィールドプレート部
- 14・・・p⁺型の埋め込み層
- 15・・・p⁻型のエピタキシャル成長層
- 16・・・p型ウェル
- 17・・・n型ウェル
- 18・・・n⁻型のオフセット層
- 20・・・n⁻型のエピタキシャル層
- 25・・・MOS部
- 26・・・ドレイン部
- 28・・・空乏層
- 29・・・ピンチオフ領域
- 30・・・低耐圧制御回路部
- 31・・・高耐圧MOSFET
- 35・・・ブレイクダウンポイント
- 36・・・露出部
- 41・・・ポリシリコン層
- 42・・・オフセット層

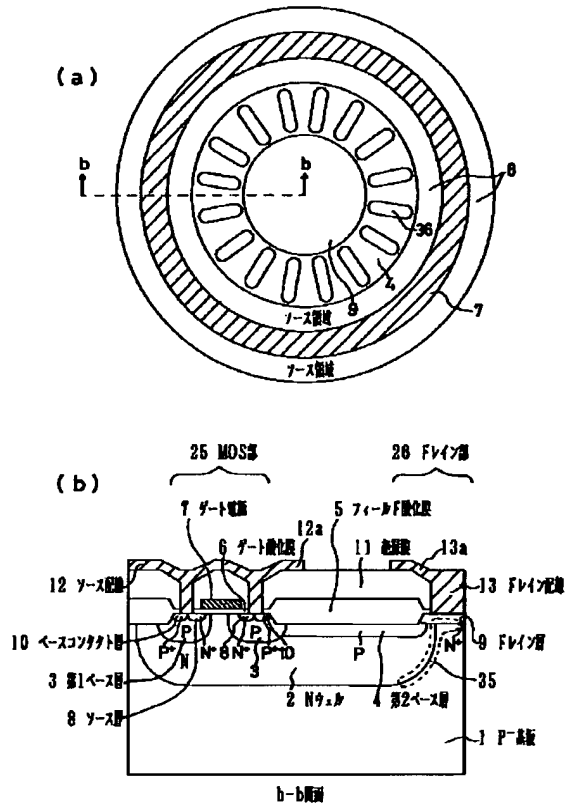
21
45・・・フィールドプレート

【図1】

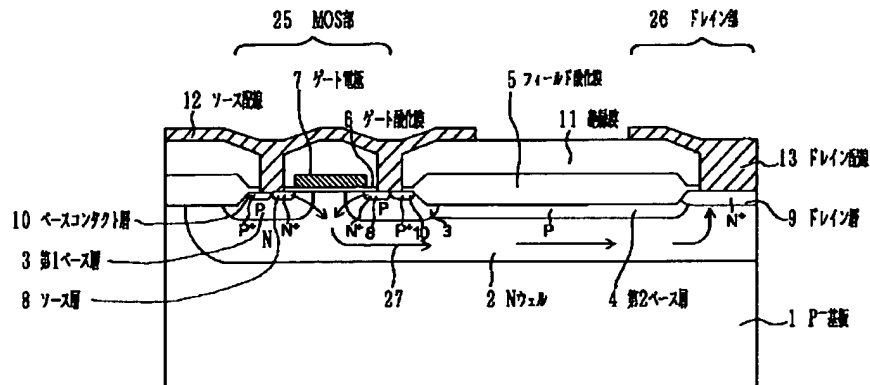


22
46・・・フィールドプレートコンタクト

【図6】



【図2】



30 低電圧制御回路部 (CMOS)

31 高電圧MOSFET

PchFET

NchFET

1 P-基板

2 N+層

3 P+層

4 P-層

5 電極

6 電極

7 電極

8 電極

9 電極

10 電極

11 電極

12 電極

13 電極

14 電極

15 電極

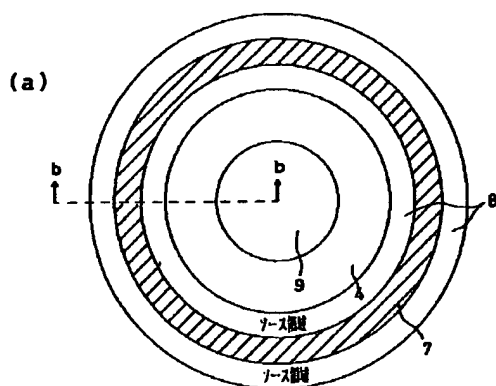
16 電極

17 P+

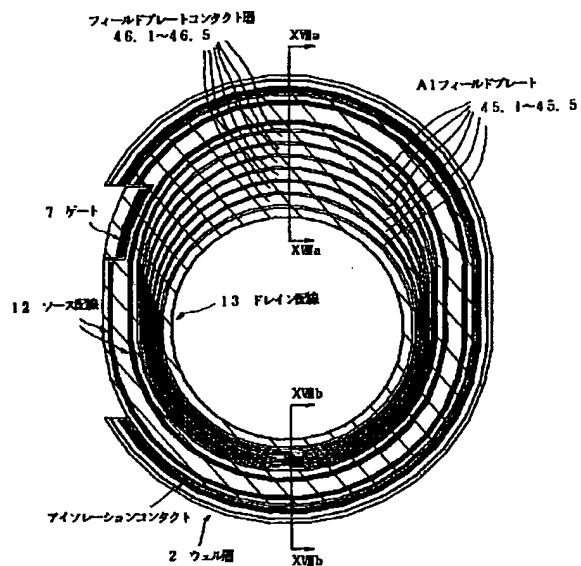
18 P-

[illegible]

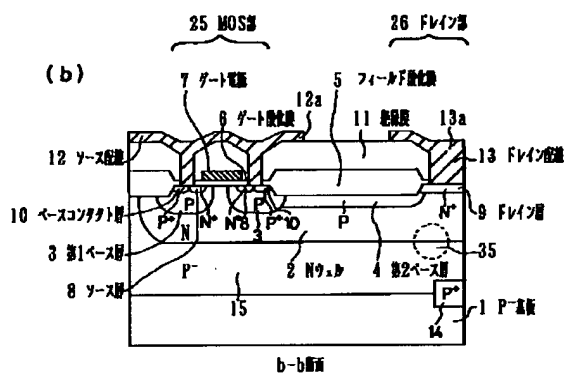
【図7】



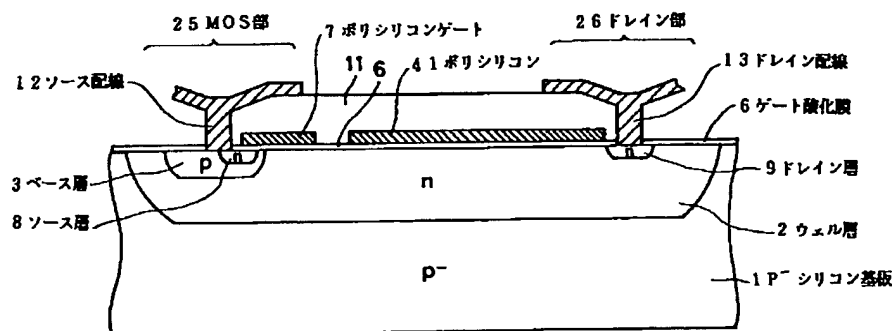
【图 17】



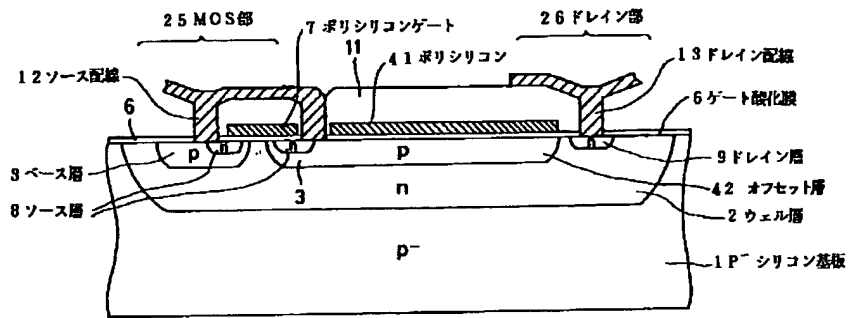
(b)



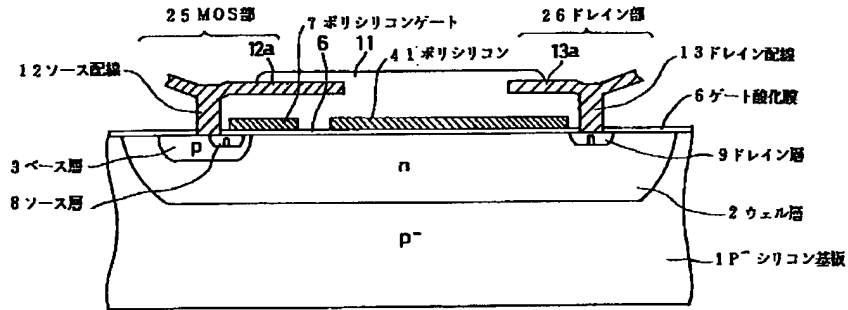
【図8】



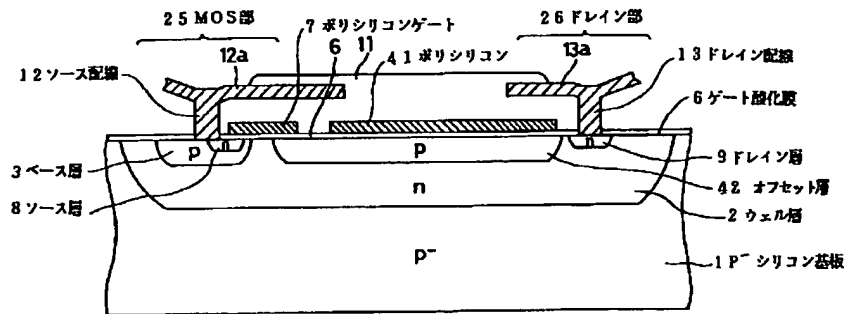
【図12】



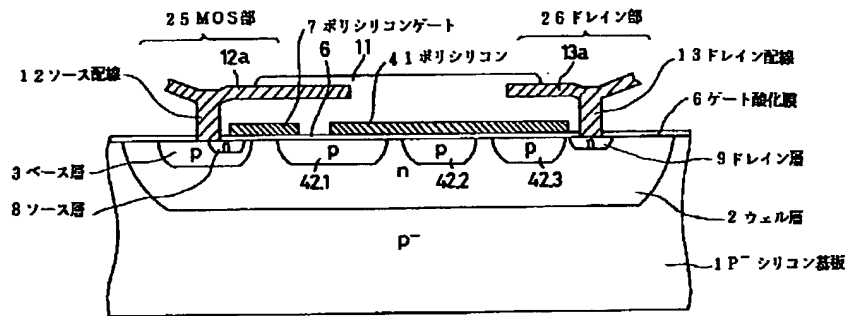
【図13】



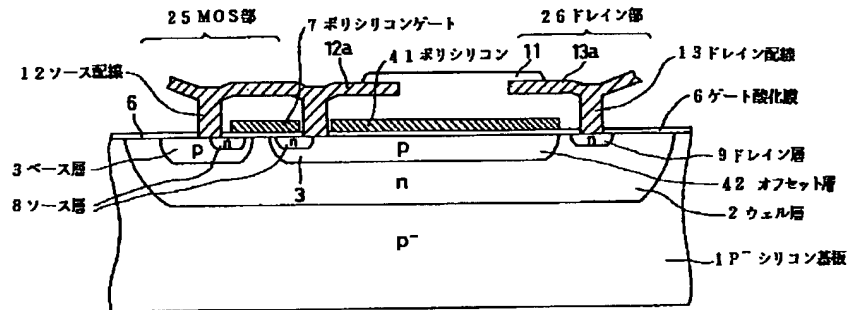
【図14】



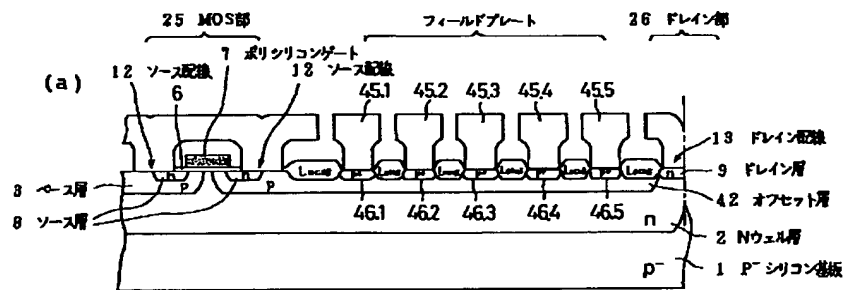
【図15】



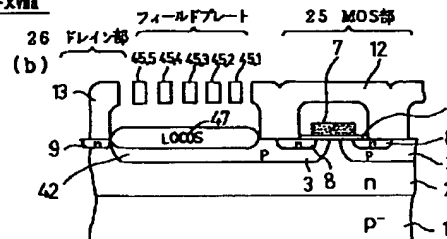
【図16】



【図18】



断面XVIIa-XVIIa



断面XVIIb-XVIIb

【図19】

